

Sujet : Etude de performances d'un solveur direct creux sur architecture Intel Xeon Phi (KNL)

Responsable : Matias Hastaran, Guillaume Latu, Pierre Ramet

Téléphone : +33 5 24 57 40 39

Courriel :

David.Goudin@cea.fr

Matias.Hastaran@inria.fr

Guillaume.Latu@cea.fr

Pierre.Ramet@inria.fr

Présentation du sujet :

Du fait des quantités considérables de données et de calculs mises en jeu, la résolution des simulations numériques en vraie grandeur imaginées aujourd'hui par les chercheurs n'est réalisable qu'en ayant recours au calcul parallèle haute performance au sens large. Dans la plupart des simulations numériques utilisant un schéma implicite, l'étape la plus consommatrice en ressources (CPU et mémoire) est la résolution de systèmes linéaires creux de très grandes tailles. En plus de la difficulté numérique inhérente à certains modèles physiques employés, l'augmentation de la taille des systèmes linéaires conduit même les méthodes réputées scalables, telles que les méthodes itératives classiques, à ne plus converger de manière efficace. Nous avons déjà développé depuis de nombreuses années des solveurs linéaires creux parallèles, utilisant tant des méthodes directes qu'itératives. Ces solveurs, d'une grande robustesse, ont déjà permis de traiter des problèmes de très grandes tailles.

Le CEA-IRFM travaille sur une nouvelle source d'énergie : la fusion par confinement magnétique. Une des activités de l'IRFM est de préparer l'opération scientifique du Tokamak ITER qui est en construction à l'heure actuelle. Notamment, des activités de modélisation des plasmas de Tokamak sont réalisées à l'aide de plusieurs codes de calcul parallèle développés par ses équipes de physiciens. Les instabilités MHD du bord du plasma d'un Tokamak « Edge Localized Modes (ELM) » ont été identifiées comme un danger potentiel pour ITER. En effet les flux de chaleur et de particules que les ELMs peuvent engendrer une surchauffe sur les composants face au plasma et endommager la machine. Le contrôle des ELMs est donc une nécessité pour le fonctionnement d'ITER. Le code de MHD non linéaire JOEK permet de modéliser les ELMs et permet d'élaborer des stratégies prédictives de contrôle. Dans ce code, un très grand système linéaire doit être résolu et c'est le solveur PaStiX qui est utilisé. Ce code est utilisé en production sur plusieurs supercalculateurs européens, et l'un de ces futurs calculateurs, dédié à la fusion, reposera sur les processeurs Intel KNL.

Le CEA-CESTA utilise également le solveur PaStiX pour certains de ses codes de calcul. Dans le cadre de son programme de simulation, la première tranche de TERA 1000, le nouveau supercalculateur de classe pré-exascale, a été livrée et installée à la direction des applications militaires du CEA DAM. Une partie de ce supercalculateur est composé de noeuds à base de

processeurs Xeon Phi (Bull sequana). Le CEA-CESTA est donc tout particulièrement intéressé par disposer d'un solveur performant exploitant cette nouvelle architecture de processeur.

Le solveur PaStiX intègre une gestion fine et efficace des multiples niveaux de parallélisme exploitables dans un solveur linéaire creux. En effet, les nouvelles architectures de calcul intensif intègrent de plus en plus de microprocesseurs qui eux-mêmes intègrent un nombre croissant de cœurs de calcul accompagnés d'accélérateurs de type GPU. Afin d'exploiter cette hétérogénéité, des supports d'exécution génériques ont été proposés afin de simplifier le travail du développeur. Ces supports d'exécution reposent sur la représentation d'un algorithme sous la forme d'un graphe de tâches, et nous avons pu intégrer et évaluer les performances du solveur PaStiX sur deux de ces supports d'exécution :

- StarPU qui utilise un modèle de découverte dynamique des dépendances en parcourant linéairement le graphe;
- PaRSEC qui utilise un modèle de graphe paramétré pour décrire algébriquement les dépendances de données.

L'objet du travail proposé est l'adaptation des travaux précédents à une architecture Many-Integrated-Cores comme proposée par Intel avec le Xeon Phi KNL (Knights Landing). On identifie deux contributions possibles :

- Le premier travail à réaliser sera un portage natif de l'ordonnancement statique du solveur PaStiX sur cette architecture. Le parallélisme par threads de PaStiX sera analysé en adressant explicitement les cœurs de l'architecture. Cette approche sera limitée essentiellement par les aspects mémoires et l'adressage des Intel Xeon Phi ; un portage sur l'ordonnanceur de threads natif d'Intel pourra être envisagé.
- Une étude des performances de l'implémentation en mémoire distribuée de PaStiX sur un cluster d'Intel Xeon Phi. Actuellement deux versions du code co-existent, en mode MPI explicite ou à l'aide des supports d'exécution StarPU et/ou PaRSEC.

Mot-clés : Algèbre linéaire creuse, calcul haute performance, modèles de programmation, architecture Intel KNL.

Commentaires : Accès aux calculateurs du CINES et de Plafrim.

Références :

[1]

P. Hénon, P. Ramet, and J. Roman.

PaStiX: A High-Performance Parallel Direct Solver for Sparse Symmetric Definite Systems. Parallel Computing, 28(2):301-321, January 2002.

[2]

X. Lacoste, M. Faverge, P. Ramet, S. Thibault, G. Bosilca.

Taking advantage of hybrid systems of sparse direct solvers via task-based runtimes.
IPDPS'14, May 2014.

[3]

A. Haidar, S. Tomov, K. Arturov, M. Guney, S. Story, J. Dongarra.
LU, QR, and Cholesky factorizations: Programming Model, Performance Analysis and Optimization Techniques for the Intel Knights Landing Xeon Phi.
HPEC'16, September 2014.