

Sujet : Etude de performances d'un solveur direct creux sur architecture Intel Xeon Phi (MIC)

Responsables : Xavier Lacoste, Mathieu Faverge, Pierre Ramet

Téléphone : +33 5 24 57 40 39

Courriel :

Xavier.Lacoste@inria.fr

Mathieu.Faverge@inria.fr

Pierre.Ramet@inria.fr

Présentation du sujet :

Du fait des quantités considérables de données et de calculs mises en jeu, la résolution des simulations numériques en vraie grandeur imaginées aujourd'hui par les chercheurs n'est réalisable qu'en ayant recours au calcul parallèle haute performance au sens large. Dans la plupart des simulations numériques utilisant un schéma implicite, l'étape la plus consommatrice en ressources (CPU et mémoire) est la résolution de systèmes linéaires creux de très grandes tailles. En plus de la difficulté numérique inhérente à certains modèles physiques employés, l'augmentation de la taille des systèmes linéaires conduit même les méthodes réputées scalables, telles que les méthodes itératives classiques, à ne plus converger de manière efficace. Nous avons déjà développé depuis de nombreuses années des solveurs linéaires creux parallèles, utilisant tant des méthodes directes qu'itératives. Ces solveurs, d'une grande robustesse, ont déjà permis de traiter des problèmes de très grandes tailles.

Le solveur PaStiX intègre une gestion fine et efficace des multiples niveaux de parallélisme exploitables dans un solveur linéaire creux. En effet, les nouvelles architectures de calcul intensif intègrent de plus en plus de microprocesseurs qui eux-mêmes intègrent un nombre croissant de cœurs de calcul accompagnés d'accélérateurs de type GPU. Afin d'exploiter cette hétérogénéité, des supports d'exécution génériques ont été proposés afin de simplifier le travail du développeur. Ces supports d'exécution reposent sur la représentation d'un algorithme sous la forme d'un graphe de tâches. Récemment, nous avons pu intégrer et évaluer les performances du solveur PaStiX sur deux supports d'exécution :

- StarPU qui utilise un modèle de découverte dynamique des dépendances en parcourant linéairement le graphe;
- PaRSEC qui utilise un modèle de graphe paramétré pour décrire algébriquement les dépendances de données.

L'objet du travail proposé est l'adaptation des travaux précédents à une architecture Many-Integrated-Cores comme proposée par Intel avec le Xeon Phi. On identifie deux types de portage possibles :

- Le premier travail à réaliser sera un portage natif de l'ordonnancement statique du solveur PaStiX sur l'accélérateur. Le parallélisme par threads de PaStiX sera analysé en adressant explicitement les cœurs de l'architecture. Cette approche sera limitée essentiellement par les aspects mémoires et l'adressage 32bits des Intel Xeon Phi ; Un portage sur l'ordonnancement de threads natif d'Intel pourra être envisagé.
- Un portage de type « offload », l'ordonnancement des calculs sur les unités de calculs (CPU ou Accélérateur) se fera depuis l'hôte à l'aide des supports d'exécution StarPU et/ou PaRSEC. La

décision de déporter les calculs sur l'accélérateur se fera statiquement ou dynamiquement par le support d'exécution.

Mot-clés : Algèbre linéaire creuse, calcul haute performance, modèles de programmation, DAG, architectures hétérogènes.

Commentaires : Ce sujet pourra être poursuivi dans le cadre d'une thèse.

Références :

[1]

M. Faverge and P. Ramet.
Dynamic Scheduling for sparse direct Solver on NUMA architectures.
In *Proceedings of PARA'2008*, Trondheim, Norway, May 2008.

[2]

P. Hénon, P. Ramet, and J. Roman.
PaStiX: A High-Performance Parallel Direct Solver for Sparse Symmetric Definite Systems.
Parallel Computing, 28(2):301-321, January 2002.

[3]

X. Lacoste, M. Faverge, P. Ramet, S. Thibault, G. Bosilca.
Taking advantage of hybrid systems of sparse direct solvers via task-based runtimes.
submitted to IPDPS'14, Technical Report RR- ????, 2013.