

---

# Large scale multicore virtualization for performance scaling and portability

IPL Multicore

Reunion du 17 Mars 2014

---

---

# Motivations de l'AEN (1)

- Les processeurs ne peuvent plus monter en fréquence  
=> plus de repas gratuit
  - Le futur réside dans les architectures multicœur à grand nombre de cœurs.
    - Serveurs AMD à 48 cœurs
    - MIC d'Intel (64 cœurs généralistes, 4 threads par cœur)
    - NVIDIA GK110 (2880 cœurs)
    - SCC d'Intel, à mémoire non cohérente
    - Router Cisco avec un processeur à 188 cœurs
  - Conséquences:
    1. *Il faut programmer « parallèle »*
    2. Il est nécessaire d'avoir des systèmes d'exécution efficaces pour un grand nombre de cœurs
-

---

# Motivations de l'AEN (2)

- Les multicœurs sont/seront divers
    - Nombre de processeurs
    - Jeux d'instructions
    - Architecture des caches et de la mémoire
  - Impact négatif sur les performances
  - Incompatibilité des programmes
  
  - Conséquences:
    3. il faut des mécanismes qui assurent la portabilité des programmes
-

---

# Virtualisons !!!

- Write Once, Run Anywhere
    - Machine Virtuelle/Managed Runtime Environment (MRE)
    - Pascal, JVM, CLR/.NET
  - Adaptation entre un code binaire intermédiaire et la machine physique
    - Optimisation retardée jusqu'à l'exécution (JIT)
      - Code
      - Données
-

---

# Une machine virtuelle pour les multicœurs

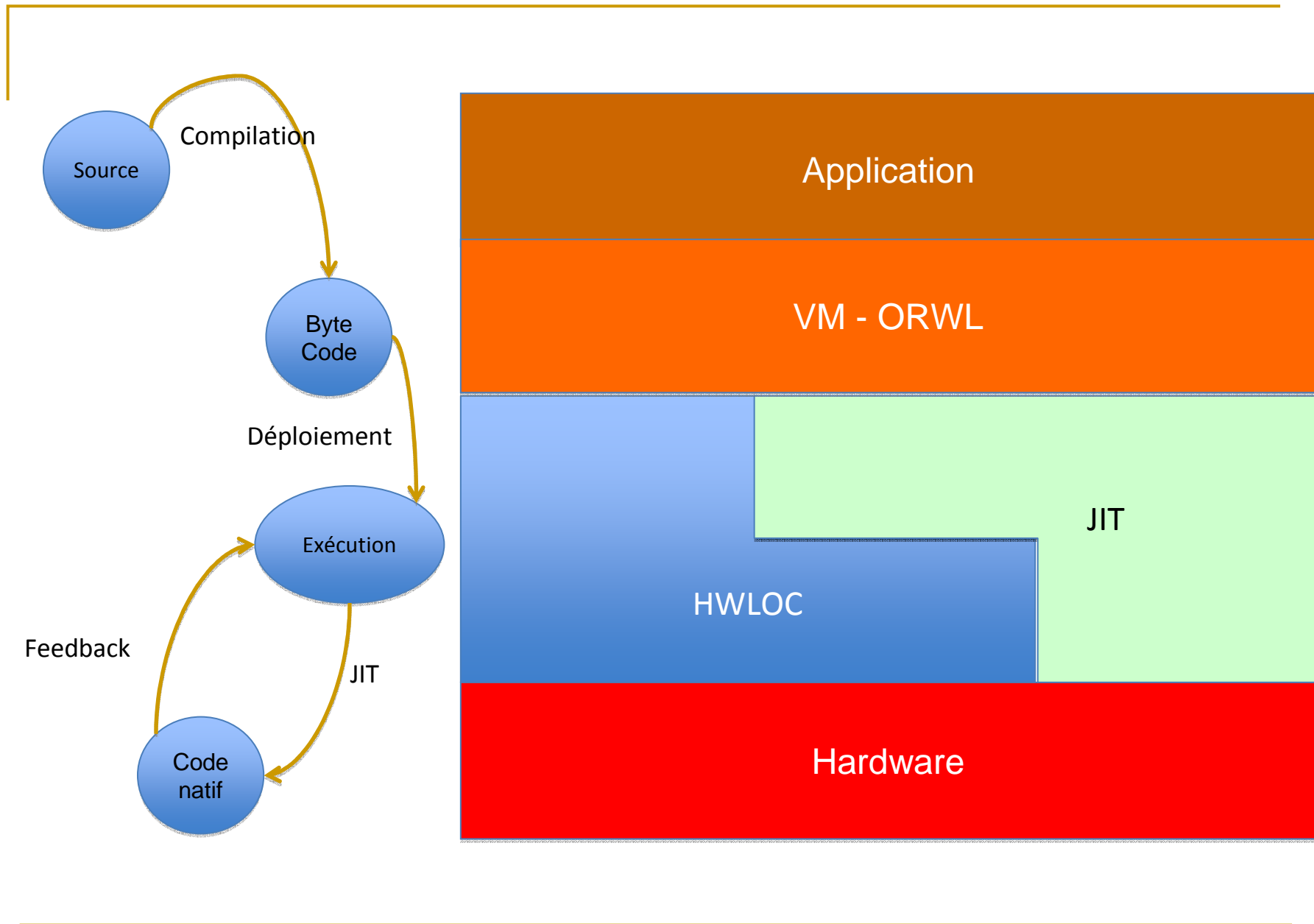
Défi scientifique :  
Comment optimiser les données et code dans les architectures multicœur ?

- Thèmes de recherche :
    - Données
      - Garbage collection
      - Scheduling and mapping
      - Improving data locality
    - Code
      - Dynamic Code Generation
      - Virtualization of floating-point computations
      - JIT & code selection
-

---

# Approche

- **Modèle de parallélisme explicite**
    - ORWL
      - Découpage en ressources et tâches
    - Machine virtuelle reposant sur VMKit
      - Déploiement, run-time
      - DSL pour la description de l'application
  - **Optimiseurs locaux**
    - Description et performance de l'architecture cible (HWLOC)
    - Parallélisation automatique
    - Compilation JIT
    - Réécriture binaire
    - GC multicoeur
-



---

# Travaux en cours

## ■ Thèses:

- ❑ Lokesh Gidra (non financé IPL): GC multicoeur Numa
- ❑ Mariem Saied: machine virtuelle ORWL
- ❑ Nabil Hallou: optimisation dynamique de code binaire
- ❑ HWLOC ++ (2014)
- ❑ Bytecode portable (2014)

## ■ ADT

- ❑ VMKit (fin aout 2013)
  - ❑ Padrone: plateforme d'optimisation dynamique de code binaire
  - ❑ Tirex (dépôt): représentation intermédiaire pour compilateur
-



---

# Points de discussions

- Recherche d'applications
  - Algorithmes sur les graphes
  - Aide de la DR
  
- Intégration des GPU ?



---

# Agenda provisoire

- Lundi Apres-midi
    - Jens : ORWL et multiplication de matrices
    - Jean-Loup : algorithmes pour les graphes
    - Nicolas : HWLOC ++
  - Mardi matin et début d'apres-midi
    - Emmanuel : MAQAO
    - Mariem : machine virtuelle ORWL
    - Nabil : re-vectorisation de code binaire
    - Philippe : structure de contrôle "xfor"
  - Discussion sur les travaux à venir.
-